



(51) Internationale Patentklassifikation <sup>7</sup> :  H01L 21/8242, 27/108	A1	(11) Internationale Veröffentlichungsnummer: WO 00/55905  (43) Internationales Veröffentlichungsdatum: 21. September 2000 (21.09.00)
(21) Internationales Aktenzeichen: PCT/DE00/00757		(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 10. März 2000 (10.03.00)		
(30) Prioritätsdaten: 199 11 149.9 12. März 1999 (12.03.99) DE		Veröffentlicht <i>Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</i>
(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).		
(72) Erfinder; und		
(75) Erfinder/Anmelder (nur für US): WILLER, Josef [DE/DE]; Friedrich-Fröbel-Strasse 62, D-85521 Riemerling (DE). CAPPELLANI, Annalisa [IT/DE]; Darwinstrasse 7 B, D-01097 Dresden (DE). SELL, Bernhard [DE/DE]; Priessnitzstrasse 41, D-01099 Dresden (DE).		
(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE).		

(54) Title: METHOD FOR PRODUCING A DRAM STRUCTURE WITH BURIED BIT LINES OR TRENCH CAPACITORS

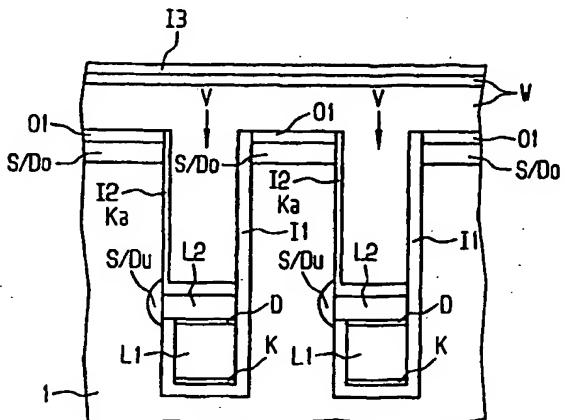
(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER DRAM-STRUKTUR MIT VERGRABENEN BITLEITUNGEN ODER GRABENKONDENSATOREN

(57) Abstract

According to the invention, the substrate comprises a recess (V). The bottom and the sides of the lower part of said recess (V) are provided with an insulating structure (I1). A first part (L1) of the conductive structure of a first type of electric conductivity is located in the lower part of the recess (V). A second part of the conductive structure (L2) of a second type of electric conductivity that is lower than the first electric conductivity is located in an upper part of the recess (V) and borders the region of the substrate (1) at least in a part of the sides of the recess (V). The conductive structure is provided with a diffusion barrier (D) that is arranged between the first part (L1) and the second part (L2) of the conductive structure. In a first embodiment, the conductive structure (L1,D,L2) is configured as a bit line pertaining to a DRAM cell arrangement with a vertical transistor, whereby S/Du represents the lower source/drain area and S/Do represents the upper source/drain area connected to a memory capacitor. In a second embodiment, the conductive structure (L1', D', L2') is configured as a memory capacitor and the upper source drain/area is connected to a bit line.

(57) Zusammenfassung

Das Substrat weist eine Vertiefung (V) auf. Ein Boden und Flanken eines unteren Teils der Vertiefung (V) sind mit einer isolierenden Struktur (I1) versehen. Ein erster Teil (L1) der leitenden Struktur, die eine erste elektrische Leitfähigkeit aufweist, ist im unteren Teil der Vertiefung (V) angeordnet. Ein zweiter Teil der leitenden Struktur (L2), die eine zweite elektrische Leitfähigkeit aufweist, die kleiner als die erste elektrische Leitfähigkeit ist, ist in einem höheren Teil der Vertiefung (V) angeordnet und grenzt bei einem Teil mindestens einer der Flanken der Vertiefung (V) an das Gebiet des Substrats (1) an. Die leitende Struktur weist eine Diffusionsbarriere (D) auf, die zwischen dem ersten Teil (L1) und dem zweiten Teil (L2) der leitenden Struktur angeordnet ist. Die leitende Struktur (L1, D, L2) wird in einem ersten Ausführungsbeispiel als Bitleitung einer DRAM-Zellenanordnung mit vertikalem Transistor, wobei S/Du das untere, und S/Do das obere, mit einem Speicher-kondensator verbundene Source/Drain-Gebiet darstellt. In einem zweiten Ausführungsbeispiel wird die leitende Struktur (L1', D', L2') als Speicherkondensator, das obere Source/Drain-Gebiet (S/DO') ist dann mit einer Bitleitung verbunden.



**LEDIGLICH ZUR INFORMATION**

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

5 VERFAHREN ZUR HERSTELLUNG EINER DRAM-STRUKTUR MIT VERGRABENEN BITLEITUNGEN ODER  
GRABENKONDENSATOREN

10 Die Erfindung betrifft eine integrierte Schaltungsanordnung, die eine in einem Substrat vergrabene leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist, sowie ein Verfahren zu deren Herstellung.

EP 0 852 396 A2 beschreibt eine integrierte Schaltungsanordnung, d.h. eine Schaltungsanordnung, die in einem Substrat angeordnet ist, die als DRAM-Zellenanordnung ausgestaltet ist. Eine Speicherzelle der DRAM-Zellenanordnung umfaßt einen Speicherkondensator und einen Transistor. Ein Speicherknoten des Speicherkondensators ist im Substrat vergraben und grenzt an ein Source/Drain-Gebiet des Transistors an, das als dotiertes Gebiet des Substrats ausgestaltet ist. Für jede Speicherzelle wird im Substrat eine Vertiefung erzeugt. Ein Boden und Flanken eines unteren Teils der Vertiefung werden mit einem Kondensatordielektrikum versehen. Der untere Teil der Vertiefung wird mit dotiertem Polysilizium gefüllt, so daß der Speicherknoten erzeugt wird. Anschließend wird weiteres dotiertes Polysilizium in die Vertiefung eingebracht, das an eine Flanke der Vertiefung direkt an das Substrat angrenzt. Durch einen Temperschritt diffundiert Dotierstoff des Polysiliziums in das Substrat und bildet dort das Source/Drain-Gebiet des Transistors. Nach Erzeugung eines Gatedielektrikums wird über dem Speicherknoten in der Vertiefung eine Gateelektrode erzeugt. Ein weiteres Source/Drain-Gebiet des Transistors wird oberhalb des Source/Drain-Gebiets erzeugt, so daß der Transistor ein vertikaler Transistor ist, bei dem ein Kanalstrom bezüglich einer Oberfläche des Substrats senkrecht verläuft.

US 5 497 017 beschreibt eine integrierte Schaltungsanordnung, die eine DRAM-Zellenanordnung ist. Eine Speicherzelle der DRAM-Zellenanordnung umfaßt einen Speicherkondensator und einen Transistor. Eine Bitleitung ist in einem Substrat vergraben und mit einem Source/Drain-Gebiet des Transistors elektrisch verbunden. Zur Erzeugung der Bitleitung wird im Substrat ein Graben erzeugt, dessen Flanken und Boden mit einer isolierenden Struktur versehen werden. Der Graben wird mit Wolfram gefüllt, so daß die Bitleitung erzeugt wird. Anschließend wird ein Teil des Substrats und der isolierenden Struktur an einem oberen Teil einer Flanke des Grabens entfernt, so daß die Bitleitung seitlich freigelegt wird. Das Source/Drain-Gebiet des Transistors wird anschließend durch selektive Epitaxie erzeugt. Durch weitere selektive Epitaxie wird ein über dem Source/Drain-Gebiet angeordnetes Kanalgebiet und ein über dem Kanalgebiet angeordnetes weiteres Source/Drain-Gebiet erzeugt. Der Transistor ist als vertikaler Transistor ausgestaltet.

In K. Nakajima "Formation mechanism of ultrathin WSiN barrier layer in a W/WNx/Si system", Applied Surface Science 117/118 (1997), 312, wird eine Gateelektrode beschrieben, die eine hohe elektrische Leitfähigkeit aufweist. Ein unterer Teil der Gateelektrode, der an ein Gatedielektrikum angrenzt, besteht aus dotiertem Polysilizium. Ein oberer Teil der Gateelektrode besteht aus Wolfram. Zwischen dem oberen Teil und dem unteren Teil der Gateelektrode ist eine Diffusionsbarriere angeordnet, die Stickstoff enthält. Die Diffusionsbarriere besteht aus einer Schicht, die die Elemente Si, N und W enthält. Die Diffusionsbarriere verhindert, daß das Wolfram insbesondere bei höheren Temperaturen siliziert, was zu einer kleineren elektrischen Leitfähigkeit der Gateelektrode führen würde. Zur Erzeugung der Diffusionsbarriere wird ein Wolfram-Target in einer Gasmischung aus Ar und N<sub>2</sub> gesputtert.

leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist, anzugeben, die mit kleinem Prozeßaufwand herstellbar ist und bei der zugleich die leitende Struktur eine hohe elektrische Leitfähigkeit aufweisen kann.

5 Ferner soll ein Verfahren zur Herstellung einer solchen integrierten Schaltungsanordnung angegeben werden.

Das Problem wird gelöst durch eine integrierte Schaltungsanordnung, die eine in einem Substrat vergrabene leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist, bei der die leitende Struktur einen ersten Teil, einen zweiten Teil und eine Diffusionsbarriere umfaßt. Das Substrat weist eine Vertiefung auf. Ein Boden und Flanken eines unteren Teils der Vertiefung sind mit einer isolierenden Struktur versehen. Der erste Teil der leitenden Struktur, der eine erste elektrische Leitfähigkeit aufweist, ist im unteren Teil der Vertiefung angeordnet. Der zweite Teil der leitenden Struktur, der eine zweite elektrische Leitfähigkeit aufweist, die kleiner als die erste elektrische Leitfähigkeit ist, ist in einem höheren Teil der Vertiefung angeordnet und grenzt bei einem Teil mindestens einer der Flanken der Vertiefung an das Gebiet des Substrats an. Die Diffusionsbarriere ist zwischen dem ersten Teil und dem zweiten Teil der leitenden Struktur angeordnet.

25 Das Problem wird ferner gelöst durch ein Verfahren zur Herstellung einer integrierten Schaltungsanordnung, die eine in einem Substrat vergrabene leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist, bei dem zunächst im Substrat eine Vertiefung erzeugt wird. Ein Boden und Flanken eines unteren Teils der Vertiefung werden mit einer isolierenden Struktur versehen. Ein erster Teil der leitenden Struktur, der eine erste elektrische Leitfähigkeit aufweist, wird so erzeugt, daß er im unteren Teil der Vertiefung angeordnet ist. Anschließend wird ein Material auf den ersten Teil der leitenden Struktur aufgebracht. Ein zweiter Teil der leitenden Struktur, der eine zweite elektrische

Leitfähigkeit aufweist, die kleiner als die erste elektrische Leitfähigkeit ist, wird auf dem Material so erzeugt, daß er in einem höheren Teil der Vertiefung angeordnet ist und bei einem Teil mindestens einer der Flanken der Vertiefung an das Gebiet des Substrats angrenzt. Zwischen dem ersten Teil und dem zweiten Teil der leitenden Struktur wird mit Hilfe des Materials eine Diffusionsbarriere erzeugt, die ebenfalls Teil der leitenden Struktur ist.

10. Die Diffusionsbarriere ermöglicht es, daß der erste Teil der leitenden Struktur aus einem Material bestehen kann, das leicht in ein Material, aus dem das Substrat besteht, diffundiert oder mit dem Material des Substrats reagiert. Besteht das Substrat beispielsweise aus Silizium, so kann der erste Teil der leitenden Struktur ein Metall enthalten, ohne daß sich bei Temperaturerhöhung aus dem Metall ein Metallsilizid, das eine niedrigere elektrische Leitfähigkeit aufweist, bildet.

15. Die Diffusionsbarriere kann aus isolierendem Material bestehen und eine Dicke aufweisen, die Tunnellen von Elektronen ermöglicht. Das isolierende Material kann z.B.  $\text{SiO}_2$  oder Siliziumnitrid sein.

20. Vorzugsweise besteht die Diffusionsbarriere im wesentlichen aus leitendem Material, damit ein Kontaktwiderstand zwischen Metall des ersten Teils und Silizium des zweiten Teils der leitenden Struktur besonders klein ist und somit im Endeffekt eine höhere elektrische Leitfähigkeit der leitenden Struktur erzielt wird.

25. Eine solche Diffusionsbarriere bewirkt darüber hinaus, daß eine dünne Oxidschicht, die unerwünschterweise auf dem Metall durch Kontakt mit Sauerstoff entstehen kann, durchbrochen wird.

Der erste Teil der leitenden Struktur ist für eine hohe elektrische Leitfähigkeit der leitenden Struktur verantwortlich. Der Prozeßaufwand zur Herstellung der integrierten Schaltungsanordnung kann aufgrund des zweiten Teils der leitenden Struktur klein sein, weil auch nach Erzeugung der leitenden Struktur Verfahrensschritte mit hohen Temperaturen ohne Verlust der hohen elektrischen Leitfähigkeit der leitenden Struktur möglich sind. So können z.B. Source/Drain-Gebiete oder Gatedielektrika von Transistoren durch Implantation und Temvern erzeugt werden. Auf aufwendige Epitaxie kann verzichtet werden.

Der zweite Teil der leitenden Struktur enthält vorzugsweise ein Material, das nicht leicht in das Material des Substrats diffundiert. Vorzugsweise enthält der zweite Teil der leitenden Struktur Polysilizium, wenn das Substrat Silizium enthält.

Die Diffusionsbarriere enthält zum Beispiel Stickstoff.

20 Wolfram ist als Material des ersten Teils der leitenden Struktur besonders geeignet, wenn das Substrat aus Silizium besteht, da der thermische Ausdehnungskoeffizient von Silizium und der thermische Ausdehnungskoeffizient von Wolfram sehr ähnlich sind, so daß, obwohl der erste Teil der leitenden Struktur im Substrat vergraben ist, mechanische Spannungen bei Temperaturveränderungen und daraus resultierende Defekte vermieden werden. Besteht der erste Teil der leitenden Struktur aus Wolfram, so enthält die Diffusionsbarriere Stickstoff, Wolfram und Silizium.

Es liegt im Rahmen der Erfindung, den ersten Teil der leitenden Struktur aus einem anderen Metall, zum Beispiel Molybdän, Titan, Niob, Ruthenium oder Tantal zu erzeugen.

35 Das Gebiet des Substrats, an das der zweite Teil der leitenden Struktur angrenzt, kann dotiert sein. Beispielsweise ist

das Gebiet des Substrats ein Source/Drain-Gebiet eines Transistors. Zur Vereinfachung des Herstellungsverfahrens ist es vorteilhaft, wenn in diesem Fall das Polysilizium des zweiten Teils der leitenden Struktur vom selben Leitfähigkeitstyp wie 5 das Gebiet des Substrats dotiert ist. In diesem Fall kann das Gebiet des Substrats auf einfache Weise erzeugt werden, indem mit Hilfe eines Temperschritts Dotierstoff des Polysiliziums des zweiten Teils der leitenden Struktur in das Substrat diffundiert und dort das Gebiet des Substrats bildet.

10

Der erste Teil der leitenden Struktur kann durch Abscheiden von Material erzeugt werden. Die Vertiefung wird mit dem Material gefüllt. Anschließend wird das Material bis zur gewünschten Tiefe rückgeätzt. Das Material des ersten Teils der 15 leitenden Struktur wird vorzugsweise durch ein CVD-Verfahren abgeschieden, so daß der erste Teil der leitenden Struktur horizontal verlaufende Fasern, d.h. längliche Kristallite, aufweist, die an Flanken der Vertiefung angeordnet sind.

20 Es kann eine Keimschicht verwendet werden, die die Flanken und den Boden der Vertiefung bedeckt.

Ein solches Verfahren ist besonders schnell, wenn die Vertiefung mehr als doppelt so tief wie breit ist, da die Vertiefung 25 unabhängig von der seiner Tiefe gefüllt wird, wenn die Dicke des abgeschiedenen Materials der halben Breite der Vertiefung entspricht.

30 Die Keimschicht kann zum Beispiel durch Abscheiden einer geringen Menge von Material, aus dem die Keimschicht besteht, erzeugt werden. Auf die Keimschicht kann aber auch verzichtet werden.

Der erste Teil der leitenden Struktur kann alternativ durch 35 selektives Wachstum auf einer Keimschicht erzeugt werden. Dazu wird nach Erzeugung der isolierenden Struktur auf einem Teil der isolierenden Struktur, der am Boden der Vertiefung

angeordnet ist, eine Keimschicht erzeugt. Das selektive Wachstum ist von unten nach oben gerichtet, so daß der erste Teil der leitenden Struktur Längsfasern aufweist, die sich von unten nach oben erstrecken. Im Gegensatz zum CVD-

5 Verfahren besteht keine Gefahr, daß sich in der Mitte der Vertiefung eine Fuge bildet, aufgrund der bei Rückätzten der Boden der Vertiefung angegriffen werden kann. Darüber hinaus ist ein Rückätzen von Material nicht erforderlich. Die Höhe einer oberen Oberfläche des ersten Teils der leitenden Struktur wird durch Aufwachsen und nicht durch die Differenz zweier Ätztiefen, nämlich der Tiefe beim Rückätzen und der Tiefe der Vertiefung, bestimmt, so daß besagte Höhe genauer eingestellt werden kann.

10

15 Die Keimschicht kann zum Beispiel durch Implantation oder durch Sputtern, vorzugsweise stark gerichtetem Sputtern (z.B. Ionized Metal PVD), erzeugt werden. Beim Sputtern wird Material auch an Flanken der Vertiefung sowie außerhalb der Vertiefung abgeschieden. Beim stark gerichteten Sputtern, weisen die gesputterten Teilchen zu einem sehr großen Teil denselben Einfallswinkel auf. Material, das außerhalb der Vertiefung aufgebracht wird, kann zum Beispiel durch chemisch mechanisches Polieren oder durch Ätzen mit Hilfe einer Lackmaske, die die Vertiefung füllt, entfernt werden. Material, das an den Flanken der Vertiefung aufgebracht wird, kann z.B. durch isotropes Ätzen entfernt werden. Besteht der erste Teil der leitenden Struktur aus Wolfram oder Ruthenium, so besteht die Keimschicht vorzugsweise aus demselben entsprechenden Metall oder aus Silizium.

20

25

30 Die Keimschicht ist vorzugsweise zwischen 1nm und 5nm dick. Besteht die Keimschicht aus Silizium, so könnte eine dickere Keimschicht zur Bildung einer nicht vernachlässigbaren Menge an Metallsilizid führen, was eine Erhöhung des elektrischen Widerstands der leitenden Struktur bewirken würde.

35

Der erste Teil der leitenden Struktur kann auch durch Sputtern erzeugt werden. In diesem Fall ist keine Keimschicht erforderlich. Besonders vorteilhaft ist ein stark gerichtetes Sputtern, da an Flanken der Vertiefung besonders wenig Material abgeschieden wird, so daß ein kurzer isotroper Ätzschritt genügt, um das Material an den Flanken der Vertiefung oberhalb des ersten Teils der leitenden Struktur zu entfernen.

10 Die Diffusionsbarriere kann erzeugt werden, indem nach Erzeugung des ersten Teils der leitenden Struktur Stickstoffimplantiert wird. Nach Erzeugung des zweiten Teils der leitenden Struktur wird aus dem Stickstoff und angrenzenden Teilen der leitenden Struktur die Diffusionsbarriere mit Hilfe eines  
15 Temperschritts erzeugt.

Alternativ kann nach Erzeugung des ersten Teils der leitenden Struktur ein Metallnitrid abgeschieden werden, das dasselbe Metall wie das Metall des ersten Teils der leitenden Struktur enthält. Durch einen Temperschritt entsteht aus dem Metallnitrid und einem Teil des zweiten Teils der leitenden Struktur die Diffusionsbarriere.

20 Die Diffusionsbarriere kann auch teilweise aus dem ersten Teil der leitenden Struktur gebildet werden. Dazu wird der erste Teil der leitenden Struktur aus Metallnitrid erzeugt. Mit Hilfe eines Temperschritts diffundiert Stickstoff des Metallnitrids an eine obere Fläche des ersten Teils der leitenden Struktur. Eine mit Stickstoff angereicherte Schicht des  
25 ersten Teils der leitenden Struktur ist Teil der Diffusionsbarriere.

Die integrierte Schaltungsanordnung kann zum Beispiel eine DRAM-Zellenanordnung mit Speicherzellen sein, die jeweils  
30 mindestens einen Transistor aufweisen. Das Gebiet des Substrats, an das der zweite Teil der leitenden Struktur an-

grenzt, ist beispielsweise ein Source/Drain-Gebiet des Transistors.

Die leitende Struktur kann als Bitleitung wirken. In diesem 5 Fall ist die isolierende Struktur so dick, daß eine nennenswerte Kapazität zwischen der Bitleitung und dem Substrat vermieden wird.

Alternativ kann die leitende Struktur als Speicherknoten eines 10 Kondensators wirken, der ebenfalls Teil der Speicherzelle ist. In diesem Fall ist die isolierende Struktur so ausgestaltet, daß sie als Kondensatordielektrikum des Kondensators wirken kann.

15 Zur Erhöhung der Packungsdichte kann der Transistor als vertikaler Transistor ausgestaltet sein. Ein weiteres Source/Drain-Gebiet des Transistors ist oberhalb des Source/Drain-Gebiets angeordnet und grenzt an die Flanke der Vertiefung an, bei der der zweite Teil der leitenden Struktur an 20 das Source/Drain-Gebiet angrenzt. Zwischen dem weiteren Source/Drain-Gebiet und dem Source/Drain-Gebiet ist ein Kanalgebiet des Transistors angeordnet. Eine Isolation bedeckt die leitende Struktur und oberhalb der leitenden Struktur angeordnete Teile der Flanken der Vertiefung. Eine Gateelektrode 25 des Transistors ist in der Vertiefung angeordnet und durch die Isolation von der leitenden Struktur und vom Substrat getrennt. Im Bereich des Kanalgebiets wirkt die Isolation als Gatedielektrikum.

30 Mindestens ein Teil der Isolation kann durch thermische Oxidation erzeugt werden.

Der Transistor kann alternativ als planarer Transistor ausgestaltet sein.

35 Zur Erhöhung der Packungsdichte ist es vorteilhaft, wenn der zweite Teil der leitenden Struktur an nur eine Flanke der

Vertiefung an das Gebiet des Substrats angrenzt. In diesem Fall können Vertiefungen verschiedener Speicherzellen in geringer Entfernung voneinander angeordnet werden, ohne daß es zu Leckströmen zwischen zueinander benachbarten leitenden Strukturen kommt.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Figuren näher erläutert.

10 Figur 1 zeigt einen Querschnitt durch ein erstes Substrat, nachdem eine erste Oxidschicht, eine Nitridschicht, eine zweite Oxidschicht, eine Vertiefung, eine isolierende Struktur und eine Keimschicht erzeugt wurden.

15 Figur 2 zeigt den Querschnitt aus Figur 1, nachdem ein erster Teil einer leitenden Struktur und eine Schicht, die Stickstoff enthält, erzeugt wurden und ein Teil der isolierenden Struktur und die zweite Oxidschicht entfernt wurden.

20 Figur 3 zeigt den Querschnitt aus Figur 2, nachdem ein zweiter Teil der leitenden Struktur, obere Source/Drain-Gebiete von Transistoren und untere Source/Drain-Gebiete der Transistoren erzeugt wurden und die Nitridschicht entfernt wurde.

25 Figur 4 zeigt den Querschnitt aus Figur 3, nachdem eine Isolation, Wortleitungen, eine Diffusionsbarriere, und eine weitere Isolation erzeugt wurden.

30 Figur 5 zeigt einen Querschnitt durch ein zweites Substrat, nachdem eine erste Oxidschicht, Vertiefungen, eine isolierende Struktur, leitende Strukturen, untere Source/Drain-Gebiete von Transistoren, obere Source/Drain-Gebiete der Transistoren, eine Isolation,

eine weitere Isolation und Wortleitungen erzeugt wurden.

5 Die Figuren sind nicht maßstabsgetreu.

In einem ersten Ausführungsbeispiel ist ein erstes Substrat 1 aus monokristallinem Silizium vorgesehen.

10 Zur Erzeugung einer Maske wird eine erste Oxidschicht O1 erzeugt, indem  $\text{SiO}_2$  in einer Dicke von ca. 20nm durch thermische Oxidation erzeugt wird. Darüber wird Siliziumnitrid in einer Dicke von ca. 50nm abgeschieden, so daß eine Nitridschicht N erzeugt wird. Zur Erzeugung einer zweiten Oxidschicht O2 wird  $\text{SiO}_2$  in einer Dicke von ca. 200nm abgeschieden (siehe Figur 1).

Mit Hilfe einer ersten streifenförmigen Photolackmaske (nicht dargestellt), deren Streifen ca. 100nm breit sind und einen 20 Abstand von ca. 100 nm voneinander aufweisen, werden die zweite Oxidschicht O2, die Nitridschicht N und die erste Oxidschicht O1 strukturiert, so daß das Substrat 1 teilweise freigelegt wird (siehe Figur 1).

25 Anschließend wird das Substrat 1 mit z.B. HBr ca. 500 nm tief geätzt, so daß Vertiefungen V erzeugt werden, die streifenförmige horizontale Querschnitte aufweisen. Die strukturierte zweite Oxidschicht O2, die Nitridschicht N und die erste Oxidschicht O1 wirken dabei als Maske.

30

Zur Erzeugung einer ca. 10 nm dicken isolierenden Struktur II wird eine thermische Oxidation durchgeführt (siehe Figur 1). Die isolierende Struktur II bedeckt Flanken und Böden der Vertiefungen V.

35

Anschließend wird eine Implantation von Silizium bei einer Energie von ca. 5keV und einer Dosis von ca.  $5 \cdot 10^{15} \text{ cm}^{-2}$

durchgeführt, so daß an Böden der Vertiefungen V nach einem Temperschritt bei ca. 800°C eine ca. 2nm dicke Keimschicht K erzeugt wird (siehe Figur 1).

5 In einem CVD-Verfahren wird Wolfram selektiv auf der Keimschicht K aufgewachsen, so daß in unteren Teilen der Vertiefungen V erste Teile L1 von leitenden Strukturen erzeugt werden (siehe Figur 2). Die ersten Teile L1 der leitenden Strukturen sind ca. 100nm dick.

10 Anschließend wird eine Implantation von Stickstoff bei einer Energie von ca. 10keV und einer Dosis von  $5*10^{15} \text{ cm}^{-2}$  durchgeführt, so daß auf den ersten Teilen L1 der leitenden Strukturen eine Schicht S, die Stickstoff enthält, erzeugt wird.

15 Durch chemisch-mechanisches Polieren wird die zweite Oxidschicht O2 entfernt.

20 Mit Hilfe einer streifenförmigen zweiten Photolackmaske (nicht dargestellt), deren Streifen erste Flanken der Vertiefungen V bedecken, werden Teile der isolierenden Struktur I1 mit zum Beispiel HF entfernt, die oberhalb der ersten Teile der leitenden Strukturen L1 an zweiten, den ersten Flanken gegenüberliegenden Flanken der Vertiefungen V angeordnet sind 25 (siehe Figur 2). Anschließend wird die zweite Photolackmaske entfernt.

30 Zur Erzeugung von zweiten Teilen L2 der leitenden Strukturen wird in situ dotiertes Polysilizium in einer Dicke von ca. 50nm abgeschieden, so daß die Vertiefungen V gefüllt werden. Anschließend wird das Polysilizium durch chemisch mechanisches Polieren planarisiert, bis die Nitridschicht N freigelegt wird. Durch Implantation mit n-dotierenden Ionen werden obere Source/Drain-Gebiete S/Do von Transistoren erzeugt, die 35 zwischen zueinander benachbarten Vertiefungen V angeordnet sind (siehe Figur 3). Danach wird das Polysilizium rückgeätzt, so daß die ca. 20nm dicken zweiten Teile der leitenden

Strukturen L2 in höheren Teilen der Vertiefungen V erzeugt werden (siehe Figur 3).

5 Zur Entfernung von Ätzrückständen an den Flanken der Vertiefungen V wird ein ca. 3nm dickes thermisches Oxid (nicht dargestellt) erzeugt und anschließend wieder entfernt. Dabei diffundiert Dotierstoff aus den zweiten Teilen L2 der leitenden Strukturen in das Substrat 1 und bildet dort untere Source/Drain-Gebiete S/Du der Transistoren (siehe Figur 3). Die 10 hohe Temperatur bei der thermischen Oxidation bewirkt darüber hinaus, daß aus der Schicht S, die Stickstoff enthält, aus Wolfram der ersten Teile der leitenden Strukturen L1 und aus Silizium der zweiten Teile der leitenden Strukturen L2 aufgrund von begrenzter Interdiffusion Diffusionsbarrieren D erzeugt werden (siehe Figur 3).

20 Mit Hilfe von Phosphorsäure wird die Nitridschicht N entfernt (siehe Figur 3). Anschließend wird eine Implantation mit Sauerstoff durchgeführt, so daß die erste Oxidschicht O1 und obere Teile der zweiten Teile L2 der leitenden Strukturen mit Sauerstoff dotiert werden.

25 Zur Erzeugung einer Isolation I2 wird eine thermische Oxidation durchgeführt. Aufgrund der Sauerstoffimplantation wächst die Isolation I2 auf den zweiten Teilen L2 der leitenden Strukturen dicker auf als auf den zweiten Flanken der Vertiefungen V. An den zweiten Flanken der Vertiefungen V beträgt die Dicke der Isolation I2 ca. 5nm (siehe Figur 4).

30 Zur Erzeugung von Wortleitungen W wird in situ dotiertes Polysilizium in einer Dicke von ca. 50 nm abgeschieden, so daß die Vertiefungen V gefüllt werden (siehe Figur 4). Darüber wird Wolframsilizid in einer Dicke von ca. 80nm abgeschieden. Zur Erzeugung einer weiteren Isolation I3 wird Siliziumnitrid 35 in einer Dicke von ca. 50nm abgeschieden.

Mit Hilfe einer streifenförmigen dritten Photolackmaske (nicht dargestellt), deren Streifen quer zu den Streifen der ersten Photolackmaske verlaufen, ca. 100nm breit sind und einen Abstand von ca. 100nm voneinander aufweisen, wird Siliziumnitrid, Wolframsilizid und Polysilizium selektiv zu  $\text{SiO}_2$  geätzt, bis auf den zweiten Teilen L2 der leitenden Strukturen angeordnete Teile der Isolation I2 freigelegt werden. Aus dem Wolframsilizid und dem Polysilizium werden dadurch die Wortleitungen W erzeugt.

10

Anschließend wird  $\text{SiO}_2$  abgeschieden und rückgeätzt, bis das Substrat 1 freigelegt wird.

15

Zur Trennung der oberen Source/Drain-Gebiete S/Do bzw. der unteren Source/Drain-Gebiete S/Du von entlang einer der leitenden Strukturen zueinander benachbarten Transistoren, wird das Substrat 1 geätzt, so daß zwischen den Wortleitungen W und zwischen den Vertiefungen V weitere Vertiefungen (nicht dargestellt) erzeugt werden, die einen quadratischen horizontalen Querschnitt aufweisen und tiefer als die höheren Teile der Vertiefungen V reichen. Die oberen Source/Drain-Gebiete S/Do sind folglich unter den Wortleitungen W angeordnet.

25

Teile der Wortleitungen W, die in den Vertiefungen V über den zweiten Teilen L2 der leitenden Strukturen angeordnet sind, wirken als Gateelektroden der Transistoren. An den zweiten Flanken der Vertiefungen V angeordnete Teile der Isolation I2 wirken als Gatedielektrikum der Transistoren. Teile des Substrats 1, die zwischen den unteren Source/Drain-Gebieten S/Du und den oberen Source/Drain-Gebieten S/Do angeordnet sind, wirken als Kanalgebiete Ka der Transistoren. Die leitenden Strukturen wirken als Bitleitungen. Die leitenden Strukturen sind im Substrat 1 vergraben und sind mit Gebieten des Substrats 1, nämlich mit den unteren Source/Drain-Gebieten S/Du, verbunden.

Anschließend werden Speicherkondensatoren (nicht dargestellt) erzeugt, die jeweils mit einem oberen Source/Drain-Gebiet S/Do der Transistoren verbunden werden. Eine Speicherzelle der durch das beschriebene Verfahren erzeugten DRAM-Zellenanordnung umfaßt einen der Transistoren und einen der mit dem Transistor verbundenen Kondensatoren.

In einem zweiten Ausführungsbeispiel ist ein zweites Substrat 2 aus monokristallinem Silizium vorgesehen. Ca. 1 $\mu$ m unter einer Oberfläche des Substrats 2 ist eine ca. 7 $\mu$ m dicke n-dotierte Schicht P' angeordnet.

Wie im ersten Ausführungsbeispiel wird eine Maske aus einer ersten Oxidschicht O1' an eine Nitridschicht und einer zweiten Oxidschicht erzeugt. Anschließend werden Vertiefungen V' erzeugt, die im Gegensatz zum ersten Ausführungsbeispiel einen quadratischen horizontalen Querschnitt mit einer Seitenlänge von ca. 100nm aufweisen und ca. 7 $\mu$ m tief sind. Es wird eine erste isolierende Struktur I1' erzeugt, die im Gegensatz zum ersten Ausführungsbeispiel aus Stickstoffoxid besteht und ca. 7nm dick ist.

Wie im ersten Ausführungsbeispiel werden eine Keimschicht K', erste Teile L1' von leitenden Strukturen erzeugt, Stickstoff implantiert und Teile der isolierenden Strukturen I1' entfernt.

Wie im ersten Ausführungsbeispiel werden zweite Teile L2' der leitenden Strukturen, Diffusionsbarrieren D', obere Source/Drain-Gebiete S/Do', untere Source/Drain-Gebiete S/Du', eine Isolation I2', Wortleitungen W' und eine weitere Isolation I3' erzeugt (siehe Figur 5).

Die leitenden Strukturen wirken als Speicherknoten von Speicherkondensatoren. Die isolierende Struktur I1' wirkt als Kondensatordielektrikum der Speicherkondensatoren. Die do-

16

tierte Schicht P' des Substrats 2 wirkt als gemeinsame Kondensatorplatte der Speicherkondensatoren.

Anschließend werden Bitleitungen (nicht dargestellt) erzeugt,  
5 die quer zu den Wortleitungen W' verlaufen und über Kontakte mit den oberen Source/Drain-Gebieten S/Do' verbunden werden.

Es sind viele Variationen der Ausführungsbeispiele denkbar, die ebenfalls im Rahmen der Erfundung liegen. Insbesondere  
10 können die Abmessungen der beschriebenen Schichten, Masken und Vertiefungen an die jeweiligen Erfordernisse angepaßt werden. Die ersten Teile der leitenden Strukturen können aus anderen Metallen, wie z. B. Molybdän oder Tantal, erzeugt werden.

15 Die weiteren Vertiefungen können alternativ so flach sein, daß sie lediglich die oberen Source/Drain-Gebiete voneinander trennen, ohne die unteren Source/Drain-Gebiete voneinander zu trennen. In diesem Fall reichen also die weiteren Vertiefungen nicht tiefer als die höheren Teile der Vertiefungen.  
20

## Patentansprüche

1. Integrierte Schaltungsanordnung, die eine in einem Substrat vergrabene leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist,
  - bei der das Substrat (1) eine Vertiefung (V) aufweist,
  - bei der ein Boden und Flanken eines unteren Teils der Vertiefung (V) mit einer isolierenden Struktur (I1) versehen sind,
  - 10 - bei der ein erster Teil der leitenden Struktur (L1) eine erste elektrische Leitfähigkeit aufweist und im unteren Teil der Vertiefung (V) angeordnet ist,
  - bei der ein zweiter Teil der leitenden Struktur (L2) eine zweite elektrische Leitfähigkeit aufweist, die kleiner als die erste elektrische Leitfähigkeit ist, in einem höheren Teil der Vertiefung (V) angeordnet ist und bei einem Teil mindestens einer der Flanken der Vertiefung (V) an das Gebiet des Substrats (1) angrenzt,
  - 15 - bei der die leitende Struktur eine Diffusionsbarriere (D) aufweist, die zwischen dem ersten Teil (L1) und dem zweiten Teil (L2) der leitenden Struktur angeordnet ist.
2. Integrierte Schaltungsanordnung nach Anspruch 1,
  - bei der der erste Teil der leitenden Struktur (L1) ein Metall enthält,
  - bei der der zweite Teil der leitenden Struktur (L2) Polysilizium enthält,
  - bei der die Diffusionsbarriere (D) Stickstoff enthält.
- 30 3. Integrierte Schaltungsanordnung nach Anspruch 2,
  - bei dem das Substrat (1) Silizium enthält,
  - bei dem das Polysilizium des zweiten Teils der leitenden Struktur (L2) dotiert ist,
  - bei dem das Gebiet des Substrats (1), an das der zweite Teil der leitenden Struktur (L2) angrenzt, dotiert ist.

4. Integrierte Schaltungsanordnung nach Anspruch 2 oder 3,

- bei der das Metall Wolfram ist,
- bei der die Diffusionsbarriere (D) Wolfram, Silizium und Stickstoff enthält.

5

5. Integrierte Schaltungsanordnung nach Anspruch 3 oder 4,

- die eine DRAM-Zellenanordnung mit Speicherzellen ist, die jeweils mindestens einen Transistor aufweisen,
- bei der die leitende Struktur eine Bitleitung ist,
- 10 - bei der das Gebiet des Substrats (1), an das der zweite Teil der leitenden Struktur (L2) angrenzt, ein Source/Drain-Gebiet (S/Du) des Transistors ist.

6. Integrierte Schaltungsanordnung nach Anspruch 3 oder 4,

- 15 - die eine DRAM-Zellenanordnung mit Speicherzellen ist, die jeweils mindestens einen Transistor und einen Kondensator aufweisen,
- bei der die leitende Struktur ein Speicherknoten des Kondensators ist,
- 20 - bei der die isolierende Struktur (I1') so ausgestaltet ist, daß sie als Kondensatordielektrikum des Kondensators wirken kann,
- bei der das Gebiet des Substrats (2), an das der zweite Teil der leitenden Struktur (L2') angrenzt, ein Source/Drain-Gebiet (S/Du') des Transistors ist.

7. Integrierte Schaltungsanordnung nach Anspruch 5 oder 6,

- 30 - bei der eine Isolation (I2) die leitende Struktur und oberhalb der leitenden Struktur angeordnete Teile der Flanken der Vertiefung (V) bedeckt,
- bei der eine Gateelektrode des Transistors in der Vertiefung (V) angeordnet ist und durch die Isolation (I2) von der leitenden Struktur und dem Substrat (1) getrennt ist,
- 35 - bei der ein weiteres Source/Drain-Gebiet (S/Do) des Transistors oberhalb des Source/Drain-Gebiets (S/Du) angeordnet ist und an die Flanke der Vertiefung (V) angrenzt.

8. Verfahren zur Herstellung einer integrierten Schaltungsanordnung, die eine in einem Substrat vergrabene leitende Struktur umfaßt, die mit einem Gebiet des Substrats elektrisch verbunden ist,

5 - bei dem im Substrat (1) eine Vertiefung (V) erzeugt wird,

- bei dem ein Boden und Flanken eines unteren Teils der Vertiefung (V) mit einer isolierenden Struktur (I1) versehen werden,

10 - bei dem ein erster Teil der leitenden Struktur (L1), der eine erste elektrische Leitfähigkeit aufweist, so erzeugt wird, daß er im unteren Teil der Vertiefung (V) angeordnet ist,

- bei dem ein Material auf dem ersten Teil der leitenden Struktur (L1) aufgebracht wird,

15 - bei dem ein zweiter Teil der leitenden Struktur (L2), der eine zweite elektrische Leitfähigkeit aufweist, die kleiner als die erste elektrische Leitfähigkeit ist, auf dem Material so erzeugt wird, daß er in einem höheren Teil der Vertiefung (V) angeordnet ist und bei einem Teil mindestens einer der Flanken der Vertiefung (V) an das Gebiet des Substrats (1) angrenzt,

20 - bei dem zwischen dem ersten Teil (L1) und dem zweiten Teil (L2) der leitenden Struktur mit Hilfe des Materials eine Diffusionsbarriere (D) erzeugt wird.

25

9. Verfahren nach Anspruch 8,

- bei dem der erste Teil der leitenden Struktur (L1) ein Metall enthält,

- bei dem der zweite Teil der leitenden Struktur (L2) erzeugt wird, indem Polysilizium abgeschieden und rückgeätzt wird,

30 - bei dem die Diffusionsbarriere (D) Stickstoff enthält.

10. Verfahren nach Anspruch 9,

35 - bei dem nach Erzeugung der isolierenden Struktur (I1) eine Implantation durchgeführt wird, so daß auf einem Teil der isolierenden Struktur (I1), der am Boden der Vertiefung (V) angeordnet ist, eine Keimschicht (K) erzeugt wird,

20

- bei dem der erste Teil der leitenden Struktur (L1) durch selektives Wachstum auf der Keimschicht (K) erzeugt wird.

11. Verfahren nach Anspruch 9 oder 10,

5

- bei dem nach Erzeugung des ersten Teils der leitenden Struktur (L1) Stickstoff implantiert wird, und anschließend der zweite Teil der leitenden Struktur (L2) erzeugt wird,
- bei dem ein Temperschritt durchgeführt wird, so daß die Diffusionsbarriere (D) erzeugt wird.

10

12. Verfahren nach einem der Ansprüche 9 bis 11,

- bei dem das Substrat (1) Silizium enthält,
- bei dem das Polysilizium des zweiten Teils der leitenden Struktur (L2) dotiert ist,

15

- bei dem aufgrund eines Temperschritts Dotierstoff des zweiten Teils der leitenden Struktur (L2) in das Substrat (1) diffundiert und dadurch das Gebiet des Substrats (1), an das der zweite Teil der leitenden Struktur (L2) angrenzt, dotiert wird.

20

13. Verfahren nach Anspruch 9 bis 12,

- bei dem das Metall Wolfram ist.

14. Verfahren nach Anspruch 12 oder 13,

25

- bei dem als die integrierte Schaltungsanordnung eine DRAM-Zellenanordnung mit Speicherzellen erzeugt wird,
- bei dem für die Speicherzellen jeweils mindestens ein Transistor erzeugt wird,
- bei dem das Gebiet des Substrats (1), an das der zweite Teil der leitenden Struktur (L2) angrenzt, als ein Source/Drain-Gebiet (S/Do) des Transistors erzeugt wird,
- bei dem die leitende Struktur als eine Bitleitung erzeugt wird.

35 15. Verfahren nach Anspruch 12 oder 13,

- bei dem als die integrierte Schaltungsanordnung eine DRAM-Zellenanordnung mit Speicherzellen erzeugt wird,

- bei dem für die Speicherzellen jeweils mindestens ein Transistor und ein Kondensator erzeugt werden,
- bei dem das Gebiet des Substrats (2), an das der zweite Teil der leitenden Struktur (L2') angrenzt, als ein Source/Drain-Gebiet (S/Du') des Transistors erzeugt wird,
- 5 - bei dem die leitende Struktur als ein Speicherknoten des Kondensators erzeugt wird,
- bei dem die isolierende Struktur (I1') so erzeugt wird, daß sie als Kondensatordielektrikum des Kondensators wirken
- 10 kann.

16. Verfahren nach Anspruch 14 oder 15,

- bei dem nach Erzeugung des zweiten Teils der leitenden Struktur (L2) eine thermische Oxidation durchgeführt wird, so daß eine Isolation (I2) die leitende Struktur und oberhalb der leitenden Struktur angeordnete Teile der Flanken der Vertiefung (V) bedeckt,
- 15 - bei dem nach Erzeugung der Isolation (I2) eine Gateelektrode des Transistors in der Vertiefung (V) erzeugt wird, die durch die Isolation (I2) von der leitenden Struktur und vom Substrat (1) getrennt ist,
- bei dem ein weiteres Source/Drain-Gebiet (S/Do) des Transistors oberhalb des Source/Drain-Gebiets (S/Du) so erzeugt wird, daß sie an die Flanke der Vertiefung (V) angrenzt.
- 20

1/3

FIG 1

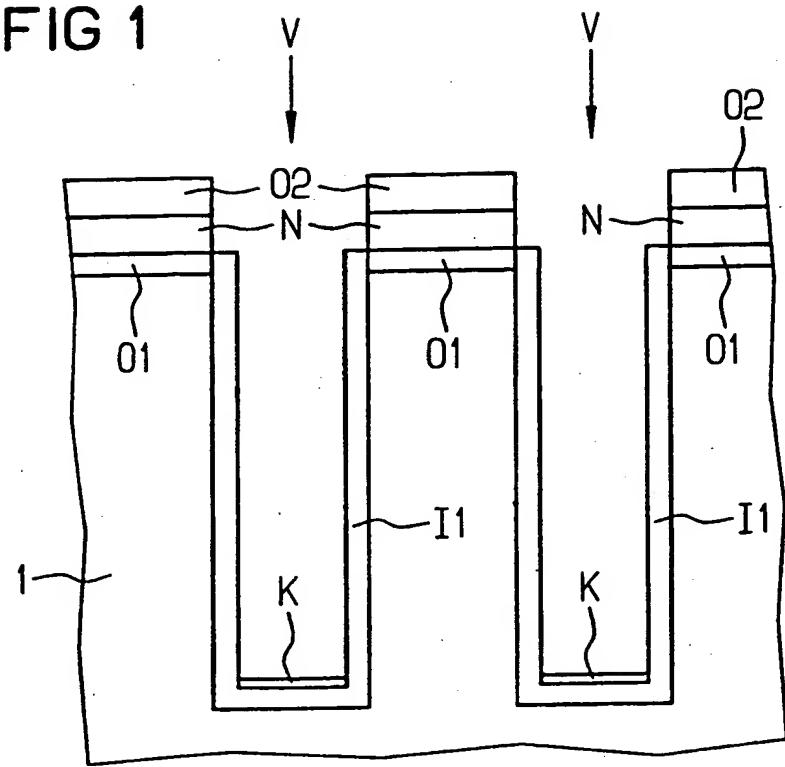
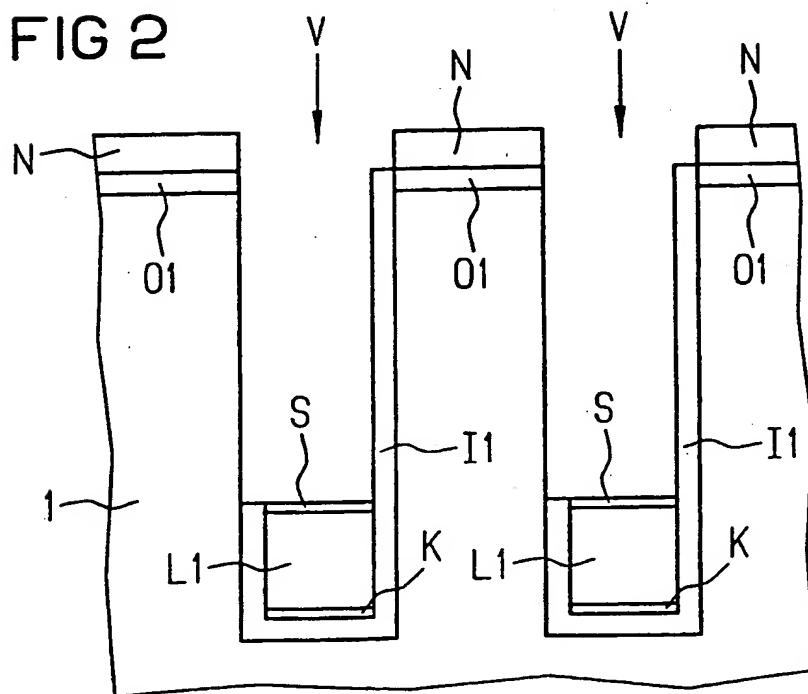


FIG 2



2/3

FIG 3

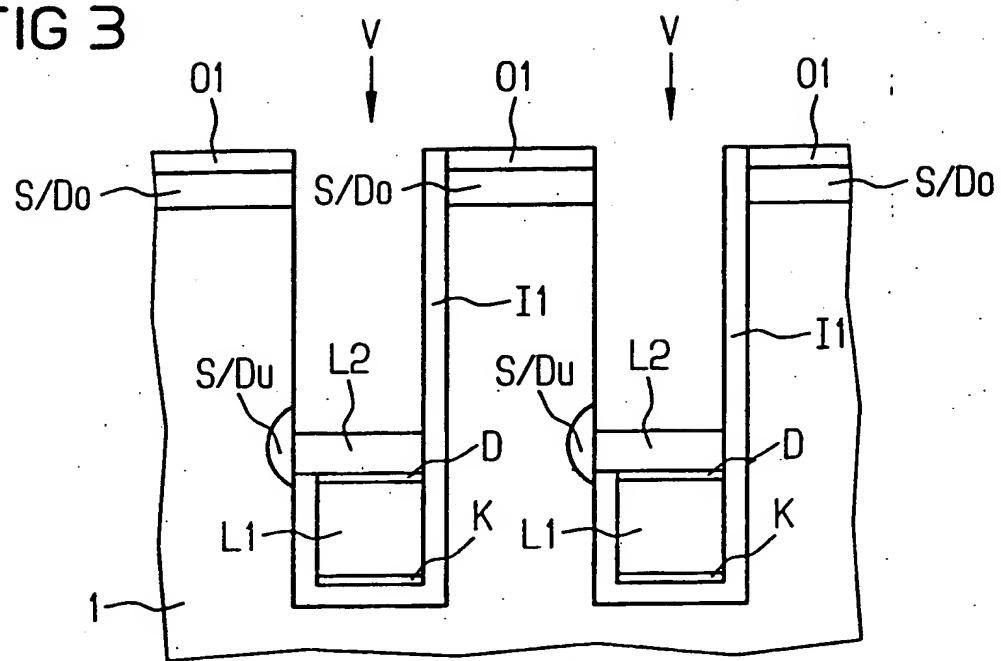
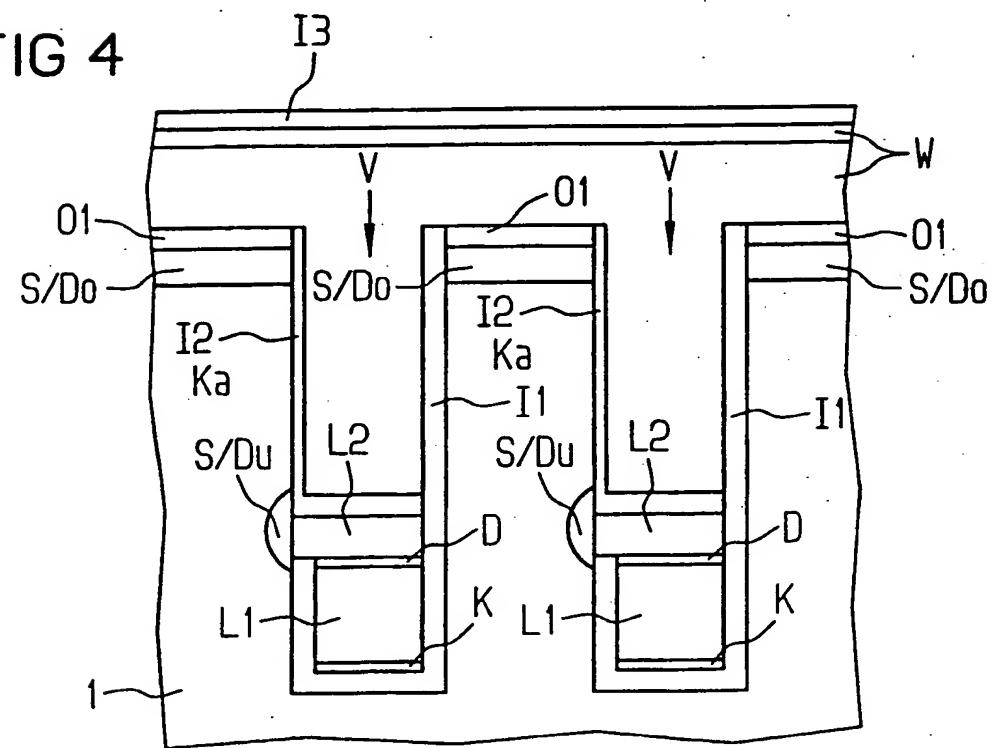
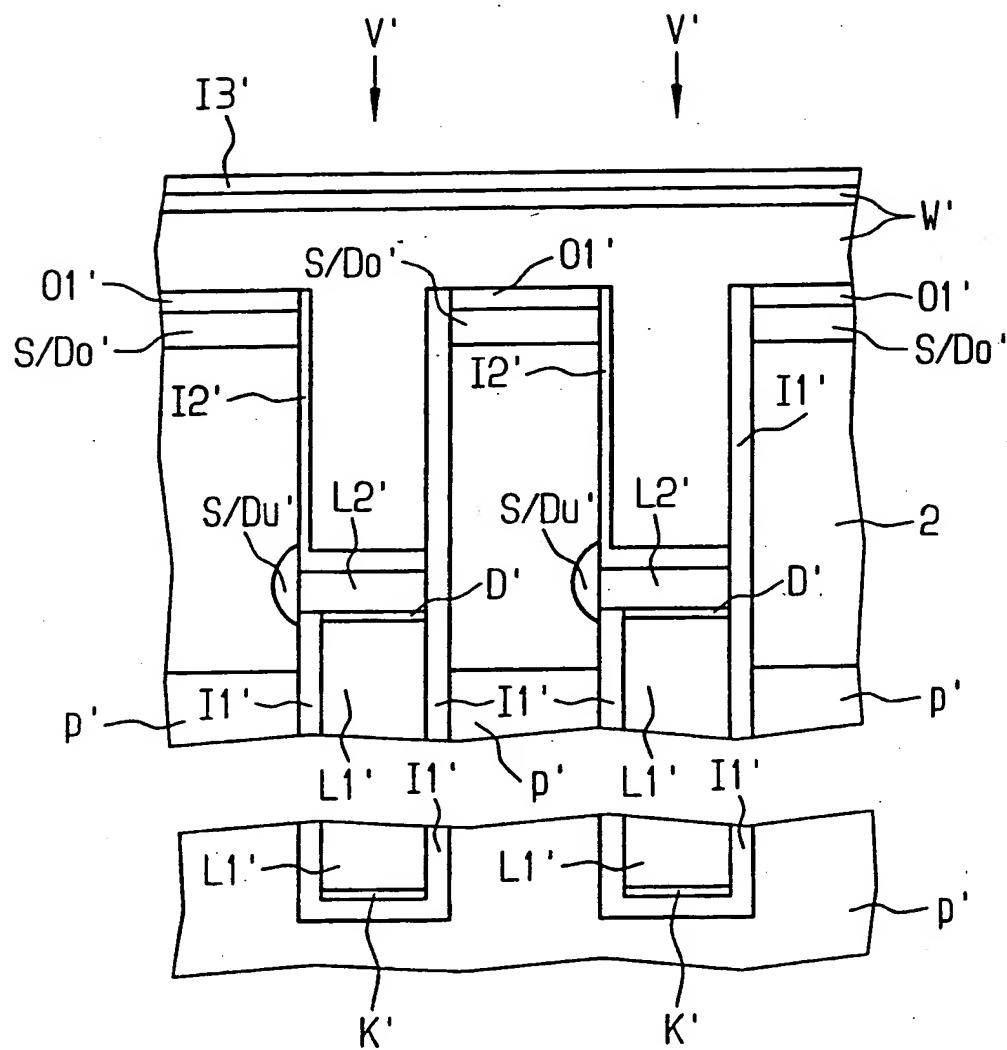


FIG 4



3/3

FIG 5



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/00757

**A. CLASSIFICATION OF SUBJECT MATTER**

IPC 7 H01L21/8242 H01L27/108

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

PAJ, EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	EP 0 987 765 A (IBM) 22 March 2000 (2000-03-22) column 10, line 25 - line 52; figures 3E,3F ---	1-16
X	US 5 670 805 A (KABUSHIKI KAISHA TOSHIBA) 23 September 1997 (1997-09-23) column 4, line 39 - line 48; figures ---	1,8
Y	EP 0 462 576 A (NEC CORP) 27 December 1991 (1991-12-27) column 5, line 1 -column 6, line 18; figures ---	2-7,9-16
A	US 5 633 200 A (MICRON TECHNOLOGY INC) 27 May 1997 (1997-05-27) column 1, line 20 - line 37 ---	1-16 -/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

• Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

3 August 2000

10/08/2000

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Sinemus, M

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 00/00757

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 125 (E-1050), 27 March 1991 (1991-03-27) & JP 03 011735 A (SONY CORP), 21 January 1991 (1991-01-21) abstract ----	1-16
A	EP 0 621 632 A (IBM) 26 October 1994 (1994-10-26) column 4, line 22 - line 29; figure 3 ----	1-16
A	US 5 410 169 A (KABUSHIKI KAISHA TOSHIBA) 25 April 1995 (1995-04-25) abstract; figures ----	5,14
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 086 (E-720), 28 February 1989 (1989-02-28) & JP 63 263758 A (HITACHI LTD), 31 October 1988 (1988-10-31) abstract -----	5,14

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

PCT/DE 00/00757

Patent document cited in search report	Publication date	Patent family member(s)			Publication date
EP 987765	A 22-03-2000	JP 2000091525	A	31-03-2000	
US 5670805	A 23-09-1997	US 5543348	A	06-08-1996	
		EP 0739033	A	23-10-1996	
		JP 9092799	A	04-04-1997	
		KR 202278	B	15-06-1999	
EP 462576	A 27-12-1991	JP 4049654	A	19-02-1992	
		DE 69106231	D	09-02-1995	
		DE 69106231	T	10-08-1995	
		KR 9514538	B	05-12-1995	
		US 5859451	A	12-01-1999	
US 5633200	A 27-05-1997	NONE			
JP 03011735	A 21-01-1991	NONE			
EP 621632	A 26-10-1994	JP 6326269	A	25-11-1994	
US 5410169	A 25-04-1995	JP 2114268	C	06-12-1996	
		JP 3246966	A	05-11-1991	
		JP 8021689	B	04-03-1996	
		DE 69118737	D	23-05-1996	
		DE 69118737	T	26-09-1996	
		EP 0444615	A	04-09-1991	
		KR 9405886	B	24-06-1994	
JP 63263758	A 31-10-1988	NONE			

# INTERNATIONALER RECHERCHENBERICHT

Int. nationales Aktenzeichen

PCT/DE 00/00757

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/8242 H01L27/108

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

PAJ, EPO-Internal

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
E	EP 0 987 765 A (IBM) 22. März 2000 (2000-03-22) Spalte 10, Zeile 25 - Zeile 52; Abbildungen 3E,3F ---	1-16
X	US 5 670 805 A (KABUSHIKI KAISHA TOSHIBA) 23. September 1997 (1997-09-23) Spalte 4, Zeile 39 - Zeile 48; Abbildungen ---	1,8
Y	EP 0 462 576 A (NEC CORP) 27. Dezember 1991 (1991-12-27) Spalte 5, Zeile 1 -Spalte 6, Zeile 18; Abbildungen ---	2-7,9-16
Y	EP 0 462 576 A (NEC CORP) 27. Dezember 1991 (1991-12-27) Spalte 5, Zeile 1 -Spalte 6, Zeile 18; Abbildungen ---	2-7,9-16
A	US 5 633 200 A (MICRON TECHNOLOGY INC) 27. Mai 1997 (1997-05-27) Spalte 1, Zeile 20 - Zeile 37 ---	1-16
		-/-

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldeatum veröffentlicht worden ist
- "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- "P" Veröffentlichung, die vor dem internationalen Anmeldeatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldeatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden
- "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche	Absendedatum des internationalen Recherchenberichts
3. August 2000	10/08/2000
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patenttaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Sinemus, M

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/00757

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 125 (E-1050), 27. März 1991 (1991-03-27) & JP 03 011735 A (SONY CORP), 21. Januar 1991 (1991-01-21) Zusammenfassung ---	1-16
A	EP 0 621 632 A (IBM) 26. Oktober 1994 (1994-10-26) Spalte 4, Zeile 22 - Zeile 29; Abbildung 3 ---	1-16
A	US 5 410 169 A (KABUSHIKI KAISHA TOSHIBA) 25. April 1995 (1995-04-25) Zusammenfassung; Abbildungen ---	5,14
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 086 (E-720), 28. Februar 1989 (1989-02-28) & JP 63 263758 A (HITACHI LTD), 31. Oktober 1988 (1988-10-31) Zusammenfassung -----	5,14

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Int. nationales Aktenzeichen

PCT/DE 00/00757

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 987765	A	22-03-2000	JP	2000091525 A	31-03-2000
US 5670805	A	23-09-1997	US	5543348 A	06-08-1996
			EP	0739033 A	23-10-1996
			JP	9092799 A	04-04-1997
			KR	202278 B	15-06-1999
EP 462576	A	27-12-1991	JP	4049654 A	19-02-1992
			DE	69106231 D	09-02-1995
			DE	69106231 T	10-08-1995
			KR	9514538 B	05-12-1995
			US	5859451 A	12-01-1999
US 5633200	A	27-05-1997	KEINE		
JP 03011735	A	21-01-1991	KEINE		
EP 621632	A	26-10-1994	JP	6326269 A	25-11-1994
US 5410169	A	25-04-1995	JP	2114268 C	06-12-1996
			JP	3246966 A	05-11-1991
			JP	8021689 B	04-03-1996
			DE	69118737 D	23-05-1996
			DE	69118737 T	26-09-1996
			EP	0444615 A	04-09-1991
			KR	9405886 B	24-06-1994
JP 63263758	A	31-10-1988	KEINE		